

8384841

Basic Patent (No,Kind,Date): GB 8819579 A0 880921 <No. of Patents: 011>

PATENT FAMILY:

GERMANY (DE)

Patent (No,Kind,Date): DE 3900798 A1 890831

VERFAHREN ZUM LOESCHEN UND PROGRAMMIEREN EINES ELEKTRISCH LOESCHBAREN
UND PROGRAMMIERBAREN NUR-LESE-SPEICHERS (German)

Patent Assignee: INTEL CORP (US)

Author (Inventor): KREIFELS JERRY A (US); BAKER ALAN (US); HOEKSTRA
GEORGE (US); KYNETT VIRGIL NILES (US); WELLS STEVEN (US); WINSTON
MARK (US)

Priority (No,Kind,Date): US 157361 A 880217

Applic (No,Kind,Date): DE 3900798 A 890113

IPC: * G11C-017/06

Language of Document: German

Patent (No,Kind,Date): DE 3900798 C2 950524

VERFAHREN ZUM PROGRAMMIEREN EINES ELEKTRISCH LOESCHBAREN UND
PROGRAMMIERBAREN NUR-LESE-SPEICHERS (German)

Patent Assignee: INTEL CORP (US)

Author (Inventor): KREIFELS JERRY A (US); BAKER ALAN (US); HOEKSTRA
GEORGE (US); KYNETT VIRGIL NILES (US); WELLS STEVEN (US); WINSTON
MARK (US)

Priority (No,Kind,Date): US 157361 A 880217

Applic (No,Kind,Date): DE 3900798 A 890113

Filing Details: DE C2 D2 Grant of a patent after examination process

IPC: * G11C-016/02

Derwent WPI Acc No: * C 89-287450; G 89-256974

Language of Document: German

GERMANY (DE)

Legal Status (No,Type,Date,Code,Text):

DE 3900798 P 880217 DE AA PRIORITY (PATENT APPLICATION)
(PRIORITAET (PATENTANMELDUNG))

US 157361 A 880217

DE 3900798 P 890113 DE AE DOMESTIC APPLICATION (PATENT
APPLICATION) (INLANDSANMELDUNG
(PATENTANMELDUNG))

DE 3900798 A 890113

DE 3900798 P 890831 DE A1 LAYING OPEN FOR PUBLIC
INSPECTION (OFFENLEGUNG)

DE 3900798 P 930805 DE 8110 REQUEST FOR EXAMINATION
PARAGRAPH 44 (EINGANG VON PRUEFUNGSANTRAEGEN
PAR. 44)

DE 3900798 P 950524 DE D2 GRANT AFTER EXAMINATION
(PATENTERTEILUNG NACH DURCHFUEHRUNG DES
PRUEFUNGSVERFAHRENS)

DE 3900798 P 951116 DE 8364 NO OPPOSITION DURING TERM OF
OPPOSITION (EINSPRUCHSFRIST ABGELAUFEN OHNE
DASS EINSPRUCH ERHOBEN WURDE)

FRANCE (FR)

Patent (No,Kind,Date): FR 2627089 A1 890818

DISPOSITIF POUR VISSE ET DEVISSE LES AIGUILLES MEDICALES (French)

Patent Assignee: REGNER MICHEL (FR)

Priority (No,Kind,Date): US 157361 A 880217

Applic (No,Kind,Date): FR 8815621 A 881121

IPC: * A61M-005/34

Derwent WPI Acc No: ; C 89-287450

Language of Document: French

Patent (No,Kind,Date): FR 2627315 A1 890818

PROCEDE DE PRECONDITIONNEMENT, EFFACEMENT ET/OU PROGRAMMATION D'UN
COMPOSANT DE MEMOIRE EEPROM (French)

Patent Assignee: INTEL CORP (US)

Author (Inventor): KREIFELS JERRY A; BAKER ALAN; HOEKSTRA GEORGE;
KYNELL VIRGIL NILES; WELLS STEVEN; WINSTON MARK
Priority (No,Kind,Date): US 157361 A 880217
Applic (No,Kind,Date): FR 8815691 A 881130
IPC: * G11C-017/00; G11C-029/00
Language of Document: French
Patent (No,Kind,Date): FR 2627315 B1 930430
PROCEDE DE PRECONDITIONNEMENT, EFFACEMENT ET/OU PROGRAMMATION D'UN
COMPOSANT DE MEMOIRE EEPROM (French)
Patent Assignee: INTEL CORP (US)
Author (Inventor): KREIFELS JERRY A; BAKER ALAN; HOEKSTRA GEORGE;
KYNELL VIRGIL NILES; WELLS STEVEN; WINSTON MARK
Priority (No,Kind,Date): US 157361 A 880217
Applic (No,Kind,Date): FR 8815691 A 881130
IPC: * G11C-017/00; G11C-029/00
Derwent WPI Acc No: * C 89-287450; G 89-256974
Language of Document: French

FRANCE (FR)

Legal Status (No,Type,Date,Code,Text):
FR 8815621 AN 890818 FR AGA FIRST PUBLICATION OF APPLICATION
(DELIVRANCE (PREM. PUB. DEMANDE DE BREVET))
FR 2627089 A1 890818
FR 8815691 AN 890818 FR AGA FIRST PUBLICATION OF APPLICATION
(DELIVRANCE (PREM. PUB. DEMANDE DE BREVET))

FR 8815691 AN 930430 FR 2627315 A1 890818
FR AGA SECOND PUBLICATION OF PATENT
(DELIVRANCE (DEUX. PUB. BREVET))
FR 2627315 B1 930430
FR 2627089 PN 880217 FR AA PRIORITY (PATENT) (PRIORITE
(BREVET))
US 157361 A 880217
FR 2627089 PN 881121 FR AE APPLICATION DATE (DATE DE LA
DEMANDE)
FR 8815621 A 881121
FR 2627315 PN 880217 FR AA PRIORITY (PATENT) (PRIORITE
(BREVET))
US 157361 A 880217
FR 2627315 PN 881130 FR AE APPLICATION DATE (DATE DE LA
DEMANDE)
FR 8815691 A 881130

GREAT BRITAIN (GB)

Patent (No,Kind,Date): GB 8819579 A0 880921
PROGRAM/ERASE SELECTION FOR FLASH MEMORY (English)
Patent Assignee: INTEL CORP
Priority (No,Kind,Date): US 157361 A 880217
Applic (No,Kind,Date): GB 8819579 A 880817
IPC: * G11C-017/06
Derwent WPI Acc No: * C 89-287450; G 89-256974
Language of Document: English
Patent (No,Kind,Date): GB 2215155 A1 890913
PROGRAM/ERASE SELECTION FOR FLASH MEMORY (English)
Patent Assignee: INTEL CORP (US)
Author (Inventor): KREIFELS JERRY A; BAKER ALAN; HOEKSTRA GEORGE;
KYNELL VIRGIL NILES; WELLS STEVEN; WINSTON MARK
Priority (No,Kind,Date): US 157361 A 880217
Applic (No,Kind,Date): GB 8819579 A 880817
National Class: * H3X X20 X20; H3X X3X X20
IPC: * G11C-017/00
Language of Document: English
Patent (No,Kind,Date): GB 2215155 B2 920722
PROGRAM/ERASE SELECTION FOR FLASH MEMORY (English)
Patent Assignee: INTEL CORP (US)
Author (Inventor): KREIFELS JERRY A; BAKER ALAN; HOEKSTRA GEORGE;
KYNELL VIRGIL NILES; WELLS STEVEN; WINSTON MARK

Priority (No,Kind,Date): US 157361 A 880217
Applic (No,Kind,Date): GB 8819579 A 880817
National Class: * G4C C16X C16X
IPC: * G11C-016/06
Derwent WPI Acc No: * C 89-287450; G 89-256974
Language of Document: English

GREAT BRITAIN (GB)

Legal Status (No,Type,Date,Code,Text):
GB 2215155 P 880217 GB AA PRIORITY (PATENT)
US 157361 A 880217
GB 2215155 P 880817 GB AE APPLICATION DATA (APPL. DATA)
GB 8819579 A 880817
GB 2215155 P 890913 GB A1 APPLICATION PUBLISHED
GB 2215155 P 920722 GB B2 PATENT GRANTED

JAPAN (JP)

Patent (No,Kind,Date): JP 2010596 A2 900116
METHOD OF ERASING MEMORY, METHOD OF PROGRAMMING MEMOR AND METHOD OF
ERASING AND PROGRAMMING MEMORY (English)
Patent Assignee: INTEL CORP
Author (Inventor): JIERII EI KURAIFUERUSU; ARAN BEEKAA; JIYOOJI
HEKUSUTORA; BUAAJIRU NAIRUSU KINETTSUTO; SUTEIIBUN UERUZU; MAAKU
UINSUTON
Priority (No,Kind,Date): US 157361 A 880217
Applic (No,Kind,Date): JP 8936394 A 890217
IPC: * G11C-016/06
Derwent WPI Acc No: * C 89-287450; G 89-256974
Language of Document: Japanese
Patent (No,Kind,Date): JP 94032226 B4 940427
Priority (No,Kind,Date): US 157361 A 880217
Applic (No,Kind,Date): JP 8936394 A 890217
IPC: * G11C-016/06
Derwent WPI Acc No: * C 89-287450; G 89-256974
Language of Document: Japanese

UNITED STATES OF AMERICA (US)

Patent (No,Kind,Date): US 5053990 A 911001
PROGRAM/ERASE SELECTION FOR FLASH MEMORY (English)
Patent Assignee: INTEL CORP (US)
Author (Inventor): KREIFELS JERRY A (US); BAKER ALAN (US); HOEKSTRA
GEORGE (US); KYNETT VIRGIL N (US); WELLS STEVEN (US); WINSTON MARK
(US)
Priority (No,Kind,Date): US 157361 A 880217
Applic (No,Kind,Date): US 157361 A 880217
National Class: * 364900000; 364927800; 364944920; 364954200;
364965200; 364965760; 365218000
IPC: * G11C-011/407
Derwent WPI Acc No: * C 89-287450; G 89-256974
Language of Document: English

UNITED STATES OF AMERICA (US)

Legal Status (No,Type,Date,Code,Text):
US 5053990 P 880217 US AE APPLICATION DATA (PATENT)
(APPL. DATA (PATENT))
US 157361 A 880217
US 5053990 P 880217 US AS02 ASSIGNMENT OF ASSIGNOR'S
INTEREST
INTEL CORPORATION, 3065 BOWERS AVENUE, SANTA
CLARA, CA. 95051 A CORP. OF CA. ; KREIFELS,
JERRY A. : 19880212; BAKER, ALAN : 19880212;
HOEKSTRA, GEORGE : 19880212; KYNETT, VIRGIL
N. : 19880211; WELLS, : 19880202;
US 5053990 P 911001 US A PATENT

⑨日本国特許庁(JP) ⑩特許出願公開
⑪公開特許公報(A) 平2-10596

⑫Int.Cl.⁹
G 11 C 16/06

識別記号

序内整理番号

⑬公開 平成2年(1990)1月16日

7341-5B G 11 C 17/00 309 C
7341-5B E

審査請求 未請求 請求項の数 4 (全16頁)

⑭発明の名称 メモリの消去法、メモリのプログラミング法およびメモリの消去・プログラミング法

⑮特 願 平1-36394

⑯出 願 平1(1989)2月17日

優先権主張 ⑰1988年2月17日⑯米国(U S)⑯157,361

⑰発明者 ジエリイ・エイ・クラ アメリカ合衆国 95621 カリフォルニア州・シトラス・イフエルス ハイツ・アムステルダム アヴェニュ・7304

⑰発明者 アラン・ベーカー アメリカ合衆国 95628 カリフォルニア州・フェアオーナス・ミネリタ アヴェニュ・4619

⑯出願人 インテル・コーポレーション アメリカ合衆国 95051 カリフォルニア州・サンタクララ・パウワース アヴェニュウ・3065

⑰代理人 弁理士 山川 政樹 外2名
最終頁に続く

明細書の内容(内容に変更なし)

明細書

1. 発明の名称

メモリの消去法、メモリのプログラミング法およびメモリの消去・プログラミング法

2. 特許請求の範囲

(1) シリコン基板上に形成され、それぞれが1つのフローティングゲートを有する複数個のメモリセルであつて、プログラム命令及び消去命令は、前記メモリセルに対し適切な制御信号を発生する命令レジスタにデータとして入力される電気的に消去可能プログラム可能読み取り専用記憶装置について、

(a) 第1の書き込みサイクルの間に消去設定指令を前記命令レジスタに書き込む過程と；

(b) 第2の書き込みサイクルの間に消去指令を前記命令レジスタに書き込む過程と；

(c) 消去サイクルの間に前記メモリセルを消去する過程と；

(d) 第3の書き込みサイクルの間に消去検査指令を前記命令レジスタに書き込み、前記消去可能プロ

グラム可能読み取り専用記憶装置の1つの記憶場所をアクセスするために指定アドレスを提供する過程と；

(e) 前記記憶場所が消去されているか否かを判定するために記憶装置の前記記憶場所の内容を読み取り、その際に前記データが消去されていなければ、前記消去サイクルの持続時間を増分し、前記記憶場所が消去されるまで過程(e)から(e)を繰返す過程と；

(f) 全てのアドレス記憶場所が消去され且つ検査確認されるまで過程(f)及び(f)を繰返す過程と；から成る前記電気的に消去可能プログラム可能読み取り専用記憶装置を消去する方法。

(2) シリコン基板上に形成され、それぞれが1つのフローティングゲートを有する複数個のメモリセルであつて、プログラム命令及び消去命令は、前記メモリセルに対し適切な制御信号を発生する命令レジスタにデータとして入力される電気的に消去可能プログラム可能読み取り専用記憶装置について、

(1a) 第1の書き込みサイクルの間にプログラミング設定指令を前記命令レジスタに書き込む過程と；

(1b) データが64に等しい第2の書き込みサイクルの間にアドレス及びデータを前記消去可能プログラム可能読み取り専用記憶装置にランチする過程と；

(1c) プログラミングサイクルの間に前記消去可能プログラム可能読み取り専用記憶装置をプログラムする過程と；

(1d) 第3の書き込みサイクルの間にプログラム検査指令を前記命令レジスタに書き込む過程と；

(1e) 過程(1c)でデータがプログラムされた記憶場所の内容を検査するために、その記憶場所から内容を読み取り、その際に前記記憶場所がプログラムされていなければ、前記記憶場所がプログラムされるまで過程(1a)から(1e)を繰返す過程と；

(1f) 全てのアドレス記憶場所がプログラムされ且つ検査確認されるまで、新たなアドレスごとに過程(1a)から(1e)を繰返す過程と；

(1g) 前記記憶場所が消去されているか否かを判定するために記憶装置の前記記憶場所の内容を読み取り、その際に前記データが消去されていなければ、前記消去サイクルの持続時間を増分し、前記記憶場所が消去されるまで過程(1a)から(1g)を繰返す過程と；

(1h) 全てのアドレス記憶場所が消去され且つ検査確認されるまで過程(1d)及び(1g)を繰返す過程と；

(2a) 第1の書き込みサイクルの間にプログラミング設定指令を前記命令レジスタに書き込む過程と；

(2b) 第2の書き込みサイクルの間に前記消去可能プログラム可能読み取り専用記憶装置にアドレス及びデータをランチする過程と；

(2c) プログラミングサイクルの間に前記消去可能プログラム可能読み取り専用記憶装置をプログラムする過程と；

(2d) 第3の書き込みサイクルの間にプログラム検査指令を前記命令レジスタに書き込む過程と；

(2e) 過程(2c)でデータがプログラムされた

から成る前記電気的に消去可能プログラム可能読み取り専用記憶装置をプログラムする方法。

(3) シリコン基板上に形成され、それぞれが1つのフローティングゲートを有する複数個のメモリセルであつて、プログラム命令及び消去命令は、前記メモリセルに対し適切な制御信号を発生する命令レジスタにデータとして入力される電気的に消去可能プログラム可能読み取り専用記憶装置において；

(1a) 第1の書き込みサイクルの間に消去設定指令を前記命令レジスタに書き込む過程と；

(1b) 第2の書き込みサイクルの間に消去指令を前記命令レジスタに書き込む過程と；

(1c) 消去サイクルの間に前記メモリセルを消去する過程と；

(1d) 第3の書き込みサイクルの間に消去検査指令を前記命令レジスタに書き込み、前記消去可能プログラム可能読み取り専用記憶装置の1つの記憶場所をアクセスするために指定アドレスを提供する過程と；

記憶場所の内容を検査するために、その記憶場所から内容を読み取り、その際に前記記憶場所がプログラムされていなければ、前記記憶場所がプログラムされるまで過程(2a)から(2e)を繰返す過程と；

(2f) 全てのアドレス記憶場所がプログラムされ且つ検査確認されるまで新たなアドレスごとに過程(2a)から(2e)を繰返す過程と；

から成る前記消去可能プログラム可能読み取り専用記憶装置を消去し且つプログラムする方法。

(4) シリコン基板上に形成され、それぞれが1つのフローティングゲートを有する複数個のメモリセルであつて、プログラム命令及び消去命令は、前記メモリセルに対し適切な制御信号を発生する命令レジスタにデータとして入力される電気的に消去可能プログラム可能読み取り専用記憶装置において；

(1a) 第1の書き込みサイクルの間に消去設定指令を前記命令レジスタに書き込む過程と；

(1b) 第2の書き込みサイクルの間に消去指令を

前記命令レジスタに書込む過程と；

(1c) 消去サイクルの間に前記メモリセルを消去する過程と；

(1d) 第3の書き込みサイクルの間に消去検査指令を前記命令レジスタに書き込み、前記消去可能プログラム可能読み取り専用記憶装置の1つの記憶場所をアクセスするために指定アドレスを提供する過程と；

(1e) 前記記憶場所が消去されているか否かを判定するために記憶装置の前記記憶場所の内容を読み取り、その際に前記データが消去されていなければ、前記消去サイクルの持続時間を増分し、前記記憶場所が消去されるまで過程(1a)から(1e)を繰返す過程と；

(1f) 全てのアドレス記憶場所が消去され且つ検査確認されるまで過程(1d)及び(1e)を繰返す過程と；

(2a) 第1の書き込みサイクルの間に消去設定指令を前記命令レジスタに書き込む過程と；

(2b) 第2の書き込みサイクルの間に消去指令を

能プログラム可能読み取り専用記憶装置にアドレス及びデータをランチする過程と；

(3a) プログラミングサイクルの間に前記消去可能プログラム可能読み取り専用記憶装置をプログラムする過程と；

(3d) 第3の書き込みサイクルの間にプログラム検査指令を前記命令レジスタに書き込む過程と；

(3e) 過程(3d)でデータがプログラムされた記憶場所の内容を検査するために、その記憶場所から内容を読み取り、その際に前記記憶場所がプログラムされていなければ、前記記憶場所がプログラムされるまで過程(3a)から(3e)を繰返す過程と；

(3f) 全てのアドレス記憶場所がプログラムされ且つ検査確認されるまで、新たをアドレスなどに過程(3a)から(3f)を繰返す過程と；

から成る前記電気的に消去可能プログラム可能読み取り専用記憶装置を事前条件付けし、消去し且つプログラムする方法。

3. 発明の詳細を説明

前記命令レジスタに書込む過程と；

(2c) 消去サイクルの間に前記メモリセルを消去する過程と；

(2d) 第3の書き込みサイクルの間に消去検査指令を前記命令レジスタに書き込み、前記消去可能プログラム可能読み取り専用記憶装置の1つの記憶場所をアクセスするために指定アドレスを提供する過程と；

(2e) 前記記憶場所が消去されているか否かを判定するために、記憶装置の前記記憶場所の内容を読み取り、その際に前記データが消去されていなければ、前記消去サイクルの持続時間を増分し、前記記憶場所が消去されるまで過程(2a)から(2e)を繰返す過程と；

(2f) 全てのアドレス記憶場所が消去され且つ検査確認されるまで過程(2d)及び(2e)を繰返す過程と；

(3a) 第1の書き込みサイクルの間にプログラミング設定指令を前記命令レジスタを書き込む過程と；

(3b) 第2の書き込みサイクルの間に前記消去可

(産業上の利用分野)

本発明は、金属酸化物半導体(MOS)より成り電気的にプログラム可能消去可能読み取り専用記憶装置(EEPROM)の分野及びフローティングゲートを有するプログラム可能読み取り専用記憶装置(EPROM)に関する。

(従来の技術及び発明が解決しようとする課題)

最も一般的に使用されているEPROMセルは絶縁体により完全に包囲された電気的フローティングゲートを有し、このフローティングゲートは、通常、シリコン基板に形成されるソース領域とドレイン領域との間に配設される。初期のEPROMセルでは、米国特許第3,660,819号に記載されるデバイスのように、電荷は電子をだれ注入により絶縁体に注入されていた。後期のEPROMは、米国特許第4,142,926号、第4,114,255号及び第4,412,310号に記載されるように、フローティングゲートの帯電にチャネル注入を利用した。このようなEPROMの消去は、アレイに紫外線を照射することにより行なわれる。

消去可能な EEPROM (EEPROM) も市販されており、電荷のフローティングゲートへの印加、フローティングゲートからの除去を、基板上に形成された薄い酸化物領域に電荷を通過させることによつて行なう構成（米国特許第 4,203,158 号を参照）もある。又、上部電極を介して電荷を除去する構成（米国特許第 4,099,196 号を参照）もある。

このような EEPROM セルでは、EEPROM セルほど基板の面積が縮小されない。セルをより高密度にすることによりメモリアレイのサイズを縮小するための様々な方法が実現されている。その方法の1つは米国特許第 4,432,075 号に記載されている。また、米国特許第 4,266,283 号には、EEPROM をアレイとして配列し、メモリアレイにおいて実行すべき様々な機能を選択することが記載されている。

EPROM は、消去とプログラミングの2つの目的のために、プリント回路板から取除かれることが多い。セルのプログラミングには特別のプログラミング装置が使用される。この装置は、さ

同時に電気的に消去される。セル自身はセルごとに单一のデバイスのみを使用する。このようなセルは前記の同時係属出版、出願番号 892,446 に記載されている。これに遙遠する別の構成は、IEEE Journal of Solid - State Circuits, Vol. SC-22, No. 4 (1987年4月) に掲載されたマスオカ他による論文「A 256-Kbit Flash E²PROM Using Triple-PolySilicon Technology」にも見られる。本発明はこれらのセルの使用を目指すものである。

電気的に消去するフラッシュメモリデバイスは別の問題、特に過剰消去の問題を生じさせる。余りに多くの電荷が除去されてしまうので、デバイスは「空乏に似た」状態となる。消去後、フローティングゲートは消去されたが、さほど正確帶電されていないことを検査するために、セルの試験が必要になるであろう。

フラッシュメモリで回路内消去を利用すると、別の問題が生じる。すなわち、フラッシュメモリの消去とプログラミングを実行するために、新た

に、セルが適正に消去され且つプログラミングされたことを検査する。プログラミング中、電子がフローティングゲートへ移動されるので、セルの導電性が低下する。この EEPROM デバイスの動作も良く知られている。

EEPROM は、通常、メモリからデータを読みるために使用されるのと同じ回路（たとえば、プリント回路板）に取付けられている間にプログラミングされ、消去されるという点で、EPROM では異なる。すなわち、特殊なプログラミング装置は使用されない。場合によつては、プログラミングが適正に実行されたことを検査するために「オンチップ」回路を使用する。米国特許第 4,460,982 号には、プログラミングと消去の双方を実行する手段を構成するインテリジェント EEPROM が記載されている。

さらに最近になつて、消去可能な EEPROM/EEPROM の新種が現われたが、このデバイスは「フラッシュ EEPROM」又は EEPROM と呼ばれることもある。このフラッシュメモリにおいては、アレイ全体が

を信号／指令線を追加する必要がある。通常、追加される線路にはメモリチップ上で対応するピンが追加される必要があるが、新たに回路・回路板、システム等を設計する場合には問題とはならない。しかしながら、既存の EPROM/EEPROM の代わりにフラッシュメモリを使用するときは、ピン同志の互換性が不可欠な条件となる。消去及びプログラミングのための補助制御線が必要であるため、消去及び再プログラミングを可能にするフラッシュメモリデバイスの内部で何らかのアーキテクチャの変更を行なわない限り、ピン同志の互換性を確保することはできない。

〔問題点を解決するための手段〕

本発明は、データポートを介してフラッシュメモリデバイスをプログラミングし且つ消去する指令ポートアーキテクチャを提供する。回路内で消去、プログラミング及び消去／プログラム検査を実行するために、メモリと同一の半導体チップに回路手数が組込まれる。指令ポートコントローラは、開通するプロセッサに結合されるデータ線か

ら命令を受入れるように結合される。指令ポートコントローラに書込まれた命令は、メモリの消去及びプログラミングを実行するため、並びに消去動作及びプログラム動作が実行された後に内容を検査するための制御信号を発生するのに必要な命令を供給する。

指令ポートは指令ポートコントローラと、プログラミングデータを受入れるためにデータバスに結合されるデータレジスタと、プログラミング中及び検査中にアドレス情報を受入れるためにアドレスバスに結合されるアドレスレジスタとから構成される。指令ポートコントローラは、マイクロプロセッサから指令命令を受取るためにデータバスに結合される指令レジスタ及び状態レジスタと、必要なタイミングを発生するクロック発生器と、指令レジスタ及び状態レジスタに入力された命令を復号する状態デコーダとから構成される。

さらに、指令ポートコントローラは、メモリの消去及びプログラミングを実行するための消去アルゴリズム及びプログラミングアルゴリズムを提

供する。消去アルゴリズムはフラッシュメモリセルを消去するために必要な電圧を供給し、次に、メモリが消去されたことを検査確認する。消去サイクルは監視され、消去が完了するまで増分されてゆく所定のパルス幅を有する消去パルスごとに繰返される。しかしながら、最大パルスカウントに達しても、メモリの完全な消去が行なわれていない場合には誤りが検出される。

同様にして、メモリのプログラミング中、アルゴリズムはメモリの各記憶場所のプログラミングを実行し、プログラミング後はその内容を検査確認する。プログラミングサイクルは監視され、プログラミングタスクが完了するまで所定のパルス幅を有するプログラミングパルスごとに繰返される。しかしながら、所定の最大パルスカウントの後もプログラミングを完了することができなければ、プログラミングの誤りが記される。

【実施例】

以下、添付の図面を参照して本発明を詳細に説明する。

プログラムのマイクロプロセッサ制御、消去、プログラム検査、消去検査確認及び読み取りのモードをフラッシュメモリを使用して実行する指令ポートアーキテクチャについて説明する。以下の説明においては、本発明を完全に理解するために、特定の回路構成、構成要素等の特定の詳細な事項が数多く記載されるが、これらの特定の詳細を含まずに本発明を実施して良いことは当業者には自明であろう。その他の点については、本発明を不必要に不明瞭にしないため、周知のプロセス、アーキテクチャ及び回路を詳細には説明しなかつた。

本発明の特徴的な実施例は、フラッシュEPROMとも呼ばれる特定の二極単一トランジスタ形の電気的に消去可能プログラム可能フラッシュメモリと関連して使用される。これは、マイクロプロセッサ制御の下で再プログラミング能力を得るために最適化された高密度不揮発性フラッシュメモリである。この特定のフラッシュEPROMは、一辺192μmの正方形ダイ上に製造される6μm×6μmのセルを有する32,768×8ビットを提供する最

新形の1.5μmの相補形金属酸化物半導体(CMOS)技術を利用して構成されている。以下では特定の256KビットフラッシュEPROMについて説明するが、その他のメモリサイズ及び別のメモリ技術を本発明に適用できることを了解すべきである。

本発明の不揮発性フラッシュEPROMはEPROM技術に基づくものである。メモリセルはEPROMと同様のプログラミングメカニズムを使用するが、電気的に消去することができる。フラッシュメモリの電気的消去は、單一トランジスタフローティングポリシリコンゲートセルの下方にトンネル効果用の高品質の酸化物を使用することにより可能となる。フラッシュセルは消去時とプログラム時に12ボルトの電力供給を必要とする。消去メカニズムは、フローティングゲートからセルのソース接合部へ電子を移動させるためにファクター・ノルトハイムトンネリングを利用する。プログラミングは、熱い電子をセルのドレイン接合部からフローティングゲートに注入する標準的なEPROM方式によつて実行される。本発明で使用されるフ

ラッシュ EEPROM セルは本願の「従来の技術」の項で引用した先行技術の参考文献の中に記載されている。

特殊な回路を使用しなければ、ラッシュ EEPROM と従来のメモリデバイスとの間にピンの直換の互換性を成立させることは不可能である。ラッシュ EEPROM メモリと従来の EEPROM デバイスとの間のピンの互換性を維持するために、本発明は、回路内消去及び回路内プログラミングを可能にする特殊な指令ポートアーキテクチャを提供する。本発明の指令ポートアーキテクチャはプログラムのマイクロプロセッサ制御、消去、プログラム／消去検査機能及び読み取りのモードを実行させることができると共に、従来の EEPROM/EEPROM とのピンの互換性を維持する。この特殊なアーキテクチャは、ラッシュ EEPROM メモリが組込まれている半導体チップに含まれる回路の中で実現される。

第1図に関して説明する。第1図には、本発明のラッシュ EEPROM 半導体デバイス 10 が示されている。アドレスバス 12 はアドレスビット

A0~A14 をアドレスラッテ 13 に結合する。アドレスバス 12 は 1 つのアドレスを供給するために 15 のビットが使用されるが、アドレスビットの実際の数は任意である。アドレスラッテ 13 は X デコード 14 及び Y デコード 15 に結合される。X デコード 14 はメモリアレイ 11 に結合され、Y デコード 15 はマーティング回路 16 に結合される。好ましい実施例のメモリアレイ 11 は 256×8 ピットのセルアレイ構造であり、X デコード 14 はメモリアレイ 11 の X-Y マトリクスの X (行) アレンジメントをアクセスするために復号を実行し、Y デコード 15 は X-Y マトリクスの Y (列) アレンジメントのために復号を実行する。メモリアレイ 11 の構成及び X デコード 14 と、Y デコード 15 と、マーティング回路 16 とを使用することによるそのようなアレイのアクセスは従来の EEPROM 技術においては良く知られている。

データは 8 ピット及方向データバス 20 により EEPROM デバイス 10 に結合されるが、この場合

も、データバス 20 のビット数は回路構成に応じて任意に選択される。データバス 20 は入出力 (I/O) パックア 21 に結合され、メモリアレイ 11 に入力されるべきデータはバス 23a からデータラッテ 22 を介して結合される。逆に、メモリアレイ 11 からデータバス 20 へ出力されるべきデータはバス 23b からセンス回路 101 を介して I/O パックア 21 に結合された後、データバス 20 に出力される。入力データはバス 23a を介して指令ポートコントローラ 30 にも結合される。

指令ポートコントローラ 30 は外部信号 \overline{WE} 及び \overline{CE} をさらに受取り、アドレスラッテ 13 と、データラッテ 22 と、消去電圧発生器 24 と、プログラム電圧発生器 25 と、消去/プログラム検査発生器 26 とに制御信号を供給する。外部信号 \overline{CE} 及び \overline{OE} はチップ/出力イネーブル論理回路 27 は I/O パックア 21 に結合される。この回路 27 は I/O パックア 21 に制御信号を供給する。消去電圧発生器 24 は、メモリアレイ 11 を同時に消去するために必要な電圧を供給するためにメモリアレイ 11 に結合される。プログラム電圧発生器 25 の出力端子は、消去/プログラム検査機能 (確認) が選択された場合にメモリアレイ 11 に検査電圧を供給するために消去/プログラム検査発生器 26 のプログラム機能出力端子が X デコード 14 に結

供給電圧 VCC 及びその戻り電圧 VSS は EEPROM デバイス 10 に結合され、また、指令ポートコントローラ 30 が読み取り、消去又はプログラムの機能を選択するためにイネーブルされたか否かを決定する電圧値を有するプログラミング電圧 VPP もデバイス 10 に結合される。VPP は指令ポートコントローラ 30 と、消去電圧発生器 24 と、プログラム電圧発生器 25 と、消去/プログラム検査発生器 26 とに結合される。これらの電圧の発生は本発明の実施とは無関係である。

チップ/出力イネーブル論理回路 27 は I/O パックア 21 に結合される。この回路 27 は I/O パックア 21 に制御信号を供給する。消去電圧発生器 24 は、メモリアレイ 11 を同時に消去するために必要な電圧を供給するためにメモリアレイ 11 に結合される。プログラム電圧発生器 25 の出力端子は、消去/プログラム検査機能 (確認) が選択された場合にメモリアレイ 11 に検査電圧を供給するために消去/プログラム検査発生器 26 のプログラム機能出力端子が X デコード 14 に結

合されたときに、メモリアレイ11にプログラム電圧を供給するようにXデコーダ14及びデコーダ15に結合される。

メモリアレイ11の消去とプログラミングを回路内で実行するために、好ましい実施例のEPROMデバイス10は、デバイス10に結合されたプロセッサからデータバス20を介してそのような指令を受取るように構成される。EPROMデバイス10を選択すべき場合は常にチップイネーブル信号 \overline{CE} はローになり、デバイス10はデータバス20を介してモード命令を受取るように準備される。命令はI/Oパッファ21を介して指令ポートコントローラ30に達する。指令ポートコントローラ30は、プログラム、プログラム検査、消去、消去検査（確認）、読み取り及びシグナチュア読み取り（メモリアレイ11を適切な外部機器プロトコルに整合させるための特殊な読み取り機能）の6つの命令を含む²種類（²はデータビット数である）の命令の1つをデータバス20から受取る。どの命令が受取られるかに応じて、指令ポート

コントローラ30が非動作状態になつたとき、EPROMデバイス10は常に読み取りモードのみで機能する。この指令ポートコントローラ30の非動作方式は、EPROMデバイス10を12Vの電圧が存在しない従来のEPROM（又は読み取り動作のみに利用されているEEPROM）に直接代わるものとして使用する場合には、好ましい実施例のデバイス10のチップに設けられた。このような従来のEPROMでは、VPPは通常5ボルトであるので、EPROMデバイス10を従来のEPROMに直接代わるものとして使用すると、デバイス10は読み取りモードでのみ動作することになる。このコントローラ非動作方式は、さらに、VPPが5ボルトになつたときのメモリの消去又はプログラムという不測の事態を完全に防止する。

第2図に関して説明する。第2図は、好ましい実施例の指令ポートコントローラ30を概略的に示すブロック線図である。チップイネーブル信号 \overline{CE} は制御論理31と、アドレスクロック発生器32とに結合される。書き込みイネーブル信号 \overline{WE}

コントローラ30は適切な対応動作を実行させるための制御信号を発生する。特定の命令が指令ポートコントローラ30に入力された後、書き込みイネーブル信号 \overline{WE} 、チップイネーブル信号 \overline{CE} 及び出力イネーブル信号 \overline{OE} は、EPROMデバイス10の様々なユニットを適正に動作させるために、指令ポートコントローラ30及びチップ／出力イネーブル論理回路27からの様々な信号の発生を制御する。

好ましい実施例においては、指令ポートコントローラ30は、VPPが直線12ボルトの適切な電圧値にあるときに動作される。これに対し、指令ポートコントローラ30を非動作状態とすることが望まれる場合には、VPPの値が12ボルトから約5ボルトに変化することによって指令ポートコントローラ30の動作は停止する。VPPが5ボルトに変化するたびに、指令ポートコントローラ30は非動作状態となるので、指令ポートコントローラ30に向かつているデータバス20のアレイ命令は無視される。VPPが5ボルトになり、指令ポ

ートコントローラ30が非動作状態になつたとき、EPROMデバイス10は常に読み取りモードのみで機能する。この指令ポートコントローラ30の非動作方式は、EPROMデバイス10を12Vの電圧が存在しない従来のEPROM（又は読み取り動作のみに利用されているEEPROM）に直接代わるものとして使用する場合には、好ましい実施例のデバイス10のチップに設けられた。このような従来のEPROMでは、VPPは通常5ボルトであるので、EPROMデバイス10を従来のEPROMに直接代わるものとして使用すると、デバイス10は読み取りモードでのみ動作することになる。このコントローラ非動作方式は、さらに、VPPが5ボルトになつたときのメモリの消去又はプログラムという不測の事態を完全に防止する。

第2図に関して説明する。第2図は、好ましい実施例の指令ポートコントローラ30を概略的に示すブロック線図である。チップイネーブル信号 \overline{CE} は制御論理31と、アドレスクロック発生器32とに結合される。書き込みイネーブル信号 \overline{WE}

は制御論理31に入力として結合される。制御論理31は、チップイネーブル信号 \overline{CE} がEPROMデバイス10を動作させた場合にのみ、書き込みイネーブル信号 \overline{WE} をアドレスクロック発生器32、状態クロック発生器33及び指令／データクロック発生器34に結合させる。状態クロック発生器33の出力と、データバス23aのデータとは状態レジスタ35に結合され、状態レジスタ35の出力は状態デコーダ36と、指令クロック発生器34aとの間に結合される。指令クロック発生器34aの出力は指令レジスタ37に結合される。指令レジスタ37はデータバス23aからのデータも受取り、指令レジスタ37の出力は状態デコーダ36に結合される。アドレスクロック発生器32の出力は第1回のアドレスランチ13にストロープを供給し、データクロック発生器34bは第1回のデータランチ22にストロープを提供する。状態デコーダ36の出力は制御アドレスクロック発生器32と、状態レジスタ35とに戻される。状態デコーダ36の別の出口は、第1回に示される消去電圧

発生器 24、プログラム電圧発生器 25 及び消去／プログラム検査発生器 28 に供給される。状態レジスタ 35 は指令クロフク発生器 34a に帰還信号を供給するが、指令レジスタ 37 はそのような帰還機能を有していない。

機能は、信号 \overline{WE} 及び \overline{CE} により制御される書き込みサイクルにおいて、データバス 23a を介して選択される。アドレスラッチ 13 の内容は \overline{WE} の立上がり端で更新される。信号 \overline{WE} の立上がり端は命令を状態レジスタ 35 と、指令レジスタ 37 又はデータラッチ 22 のいずれか一方とにロードさせる。状態デコード 38 は新たな内部モードを復号して、対応する制御信号を供給することにより適切な動作を開始させる。状態デコード 38 から消去電圧発生器 24、プログラム電圧発生器 25 及び消去／プログラム検査発生器 28 のそれぞれに至る制御信号線の信号は、第 1 図に示すように、これらの発生器に VPP 電圧を X デコード 14 及び Y デコード 15 又はメモリアレイ 11 に供給される。VPP から取出された検査電圧は、プログラム

る。状態デコード 38 は消去電圧発生器 24 に対する指令を開始し、そこで、消去電圧発生器 24 はメモリアレイ 11 の全てのアレイセルのソースに 1.2 バルト (VPP) を接続する高電圧スイッチをトリガすると共に、全ての搭載を接地する。ファクラー・ノルトハイムトンネリングによつて、メモリアレイ 11 の全てのセルは同時に消去される。書き込みサイクル 42 において状態レジスタ 35 及び指令レジスタ 37 に消去検査コードが書き込まれると、消去は終了し、検査すべきバイトのアドレスがランチされ、内部消去限界電圧がセットアップされる。ここで、マイクロプロセッサは、時点 43 で信号 \overline{OE} がローになつたとき、標準読取りタイミングを使用したアクセスされたアドレスからメモリの出力をアクセスすることができる。その後、全てのアドレスについて検査手順が繰返される。

プログラミングは第 5 図に示す方式により実行される。書き込みイネーブル信号 \overline{WE} の第 1 のサイクル 45 において状態レジスタ 35 及び指令レジ

検査及び消去検査（確認）の間に、プログラムと消去の限界を保護するために、X デコードを介して断線に印加される。

次に、EPROM デバイス 10 と関連する様々な信号のタイミングシーケンスを示す第 3 図、第 4 図及び第 5 図を参照して説明する。第 3 図は読み取り機能を示し、この場合、出力イネーブル信号 \overline{OE} がチップ／出力イネーブル論理回路 27 を動作させたときにメモリアレイ 11 がアドレスされ、メモリアレイ 11 からデータが読み取られる。論理回路 27 は、その後、I/O ベッファ 21 の出力機能を動作させる。

第 4 図は、消去動作のタイミングサイクルを示す。消去は、第 1 の書き込みサイクル 40 における指令レジスタ 37 及び状態レジスタ 35 への消去コードの書き込みと、第 2 の書き込みサイクル 41 における状態レジスタ 35 への消去確認コードの書き込みとから成る 2 回書き込みシーケンスにより実行される。消去確認コードは、信号 \overline{WE} の第 2 の書き込みサイクル 41 の立上がり端で消去を開始させ

る。状態デコード 37 にプログラム指令が入力される。第 2 の \overline{WE} サイクル 46 はアドレスラッチ 13 及びデータラッチ 22 をロードする。第 2 の \overline{WE} サイクル 46 の立上がり端は、状態デコード 38 にプログラム電圧発生器 25 に対し制御信号を発生させることにより、プログラミングを開始する。次に、プログラム電圧発生器 25 はメモリアレイ 11 のアドレスされたセルのゲート及びドレインに高電圧 VPP を印加する。第 3 の \overline{WE} サイクル 47 で状態レジスタ 35 及び指令レジスタ 37 にプログラム検査指令を書き込むことにより、プログラミングは終了し、新たにプログラムされたバイトを検査するために内部限界電圧が設定される。この場合も、 \overline{OE} が時点 48 でローになつたとき、アドレスされたバイトを標準マイクロプロセッサ読取りタイミングを使用してアクセスすることができる。

次に、第 6 図に関して説明する。第 6 図は、指令ポートコントローラ 30 により利用される消去アルゴリズムを示すフローチャートである。初期設定段階の間、VPP が印加され、全てのバイトは

特定の値、この場合は00Hにプログラムされ（事前条件付け）、カウンタは所定の初期設定値にリセットされる。次に、消去セットアップ指令が書込まれ、続いて、消去指令が書込まれる（第4図のタイミング図を参照）。消去が実行される時間切れ期間中、消去検査指令が書込まれ、続いて別の所定の時間切れ期間（この場合64sec）が始まる。

次に、メモリからデータが読み取られ、データが消去されたか否かを判定するためにデータの検査が実行される。データが消去されていなければ、データを消去するためのパルス幅が所定の値だけ増分され、TEW カウンタに記憶され、最大限界値に関して検査される（CUMTEW 計算及びTEW 計算は第6図に示されている）。好ましい実施例においては、パルス幅は1秒の累積消去時間にわたり最大限界値に増分される。増分後、そのたびに、シーケンスは書き込み、消去セットアップ指令と、書き込み、消去指令とを経て再び繰返される。しかしながら、所定のパルスカウント（この実施

例では64の値が設定されている）の後もデータが消去されていなければ、そのメモリセルについては消去を実行できないことを意味する誤りが記される。データが読み取られ、消去されたことがわかるたびに、アドレスが増分され、最終アドレスが検査されるまで消去検査シーケンスが繰返される。最終アドレスが検査された場合、読み取り動作に対して指令レジスタ及び状態レジスタをリセットするために、これらのレジスタに読み取り指令が書き込まれ、消去サイクルは終了する。ペイトが消去されたものとして検査されなければならない、パルス幅TEW は増分され、消去シーケンスは繰返される。また、消去され、検査された最後のペイトから検査の循環を開始することによつても消去効率が達成される。

次に、プログラミングアルゴリズムのフローチャートを示す第7図に関して説明する。プログラミングサイクルは、VPP を印加し、パルスカウンタを初期設定することにより開始される。次に、プログラムセットアップ指令が指令レジスタ及び

状態レジスタに書き込まれ、続く第2の書き込みサイクルで、アドレス及びデータをラッチする（第5図のタイミング図を参照）。プログラミングが実行される所定の時間切れ期間の後、プログラム検査指令が書き込まれる。さらに所定の時間切れ期間（この実施例では64sec）の後、プログラムされたデータを検査するためにデータはメモリから読み取られる。書き込まれたデータがメモリから読み取られたデータに対応していなければ、プログラミング時間を延長するためにパルスカウントが増分され、書き込みシーケンスと読み取りシーケンスが繰返される。この実施例においては、100sec のパルスを25の最大パルスカウントまで繰返すことにより、プログラミング時間は延長される。パルスカウントの増分のたびに、所定の値、この場合は25に達するまで、プログラミング期間の待機時間は増加され、25に達した時点で誤りが検出される。読み取られたデータが正確であると検査されると、アドレスは増分され、その他のアドレスのそれぞれからデータを書き込み且つ読み取るため

にシーケンスが繰返される。最後のアドレスに達したときに、読み取り動作に対して状態レジスタ及び指令レジスタをリセットするために、これらのレジスタに命令が書き込まれる。第7図のアルゴリズムは、第6図の消去に先立つ事前条件づけのために64をロードする目的でも使用される。

第2図に示されるブロックを実現するために様々な従来の回路を実現することができるが、第8図から第8図・は、第2図の様々なブロックを提供するために好ましい実施例で使用されるような特定の回路を示す。第2図の様々なブロックを示す図中符号は第8図・から第8図・の図中符号に対応する。さらに、リセット回路50及びページレジスタ回路51が示されている。リセット回路50は、パワーアップ中や、VPP が5V であるときなどに指令レジスタ及び状態レジスタをリセットするためのものである。ページレジスタ回路51はメモリのページモードアドレッシングを制御するためのものである。さらに、制御論理回路31は、基本的にはチップイネーブル信号と書

込みイネーブル信号とを AND するものであるので、特定して示されてはいない。得られた信号は CWE で示される。

好ましい実施例は、アドレスクロック発生器 32 からアドレスラッチに対してストローブを発生する際の遅延を提供するために一連のインバータを利用する。好ましい実施例の特定の回路で使用されているように、指令レジスタ 37 は 4 つの別個のレジスタ R3, R5, R6 及び R7 から構成される。レジスタ R5, R6 及び R7 はモード選択のために利用され、レジスタ R3 は無効の入力を復号し且つラッチするために使用される。状態レジスタ 35 には 2 個のレジスタがある。レジスタ R2 は、消去を動作させるために帰還制御と共に使用され、プログラム状態レジスタ R1 はデータラッチ又は指令レジスタへのデータ入力流れを制御するために使用される。指令クロック発生器 34a 及びデータクロック発生器 34b は、レジスタ及びデータラッチにより必要とされる互いに重なり合わないクロック位相を発生する機能を有する。これらのク

ロックは、プログラムデータラッチ、指令レジスタ及び状態レジスタに対する書き込みサイクルの間に入力データのラッチ動作を制御する。

アドレスクロック発生器は、アドレスラッチに向かうアドレス情報の流れを制御する役割を有する。状態レジスタ 35 及び指令レジスタ 37 は指令ポートアーキテクチャの心臓部を成し、データ入力バッファからの入力を受取り、チップに関する動作モードを復号するためにデータを記憶する。指令命令はレジスタ 5, 6 及び 7 に対する 3 つのデータビットにより決定され、それらのビットから動作モードを決定するための真理値表は第 8 図に示されている。指令レジスタはその出力端子からの帰還がなく、单一書き込みモードをロックし、多重書き込みモードへの導入を選択する。状態レジスタはその出力端子から入力端子への帰還経路を有し、多重書き込みモードの様々な段階を通過するときにチップの順次動作をロックする。EPROM デバイス 10 を既存の EPROM デバイスと互換性をもたす場合には、書き込みイネーブル信

号を最上位アドレスビット A14 とマルチブレクスする。VPP が 5 メルトであるとき、A14/WE ピンは最上位アドレスビット (A14) を読取るが、このビットは場合によつてはページモードを選択するために使用される。しかしながら、VPP がプログラミング電圧 (この実施例では 12 メルト) になると、A14/WE ピンの信号は書き込みイネーブル信号として読取られる。従つて、最上位アドレスビットを書き込みイネーブル信号とマルチブレクスすることにより、マルチブレクシング方式は本発明の EPROM デバイス 10 を既存の EPROM デバイスとビンの互換性をもたすことができる。

以上、フラッシュ EEPROM/EEPROM のプログラミング及び消去を実行する指令ポートアーキテクチャを説明した。

4. 図面の簡単な説明

第 1 図は、本発明のフラッシュメモリデバイスの概略プロトタイプ図、第 2 図は、本発明の指令ポートコントローラの概略ブロック図、第 3 図は、本発明の読み取りサイクルに関するタイミング図、

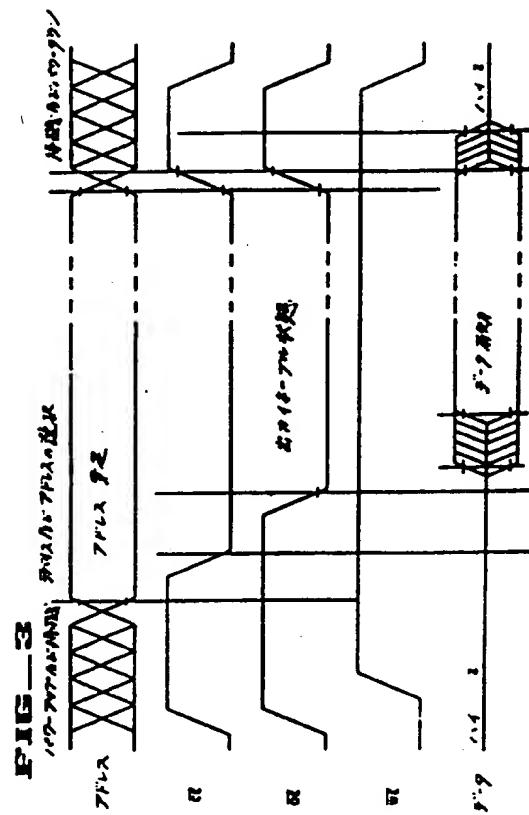
第 4 図は、本発明の消去サイクルに関するタイミング図、第 5 図は、本発明のプログラミングサイクルに関するタイミング図、第 6 図は、本発明の消去サイクルのフローチャート図、第 7 図は、本発明のプログラミングアルゴリズムに関するフローチャート図、第 8A 図、第 8B 図、第 8C 図、第 8D 図及び第 8E 図は、第 2 図に示される指令ポートコントローラの概略図である。

10 フラッシュ EEPROM 半導体デバイス、 11 メモリアレイ、 12 アドレスバス、 13 アドレスラッチ、 14 X デコーダ、 15 Y デコーダ、 20 双方向データバス、 21 入出力バッファ、 22 データラッチ、 24 消去電圧発生器、 25 プログラム電圧発生器、 26 消去/プログラム検査発生器、 27 チップ/出力イネーブル論理回路、 30 指令ポートコントローラ、 31 制御論理、 32 アドレスクロック発生器、 33 状態クロック発生器、

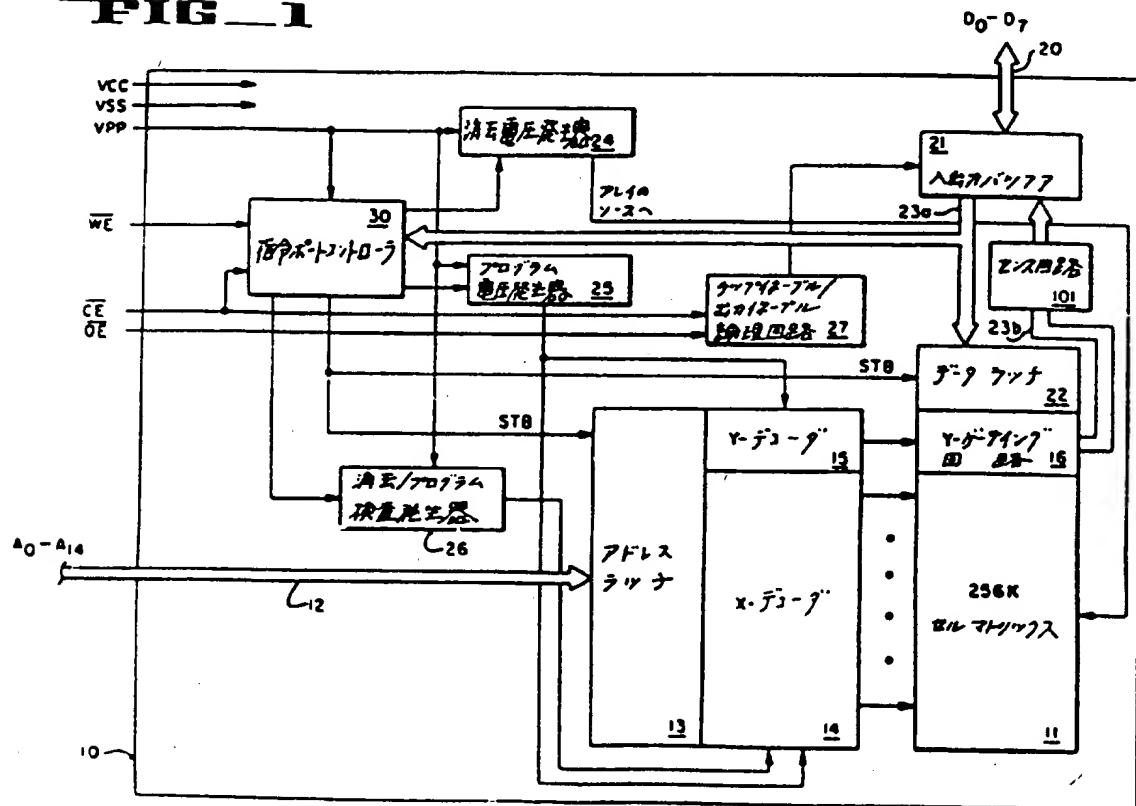
34b 指令クロック発生器、34b
データクロック発生器、35 状態レジス
タ、36 状態デコーダ、37 指
令レジスタ、CE テップイネーブル信号、
OE 出力イネーブル信号、WE
書込みイネーブル信号。

特許出願人 インテル・コーポレーション

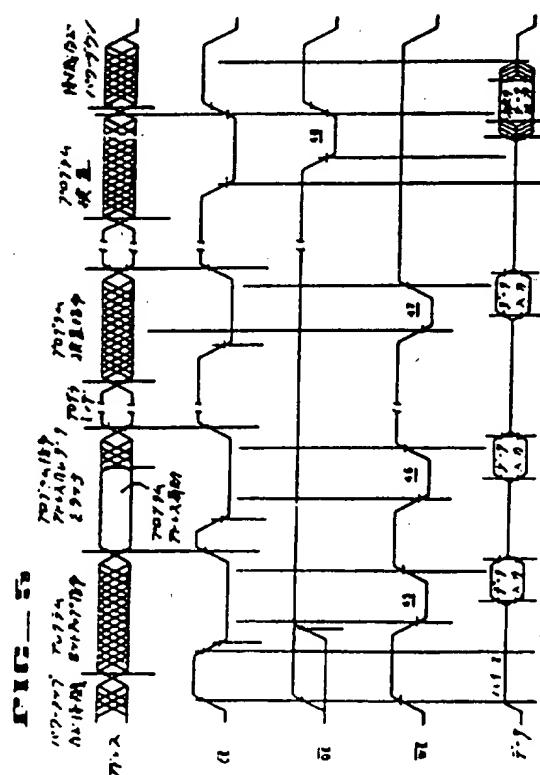
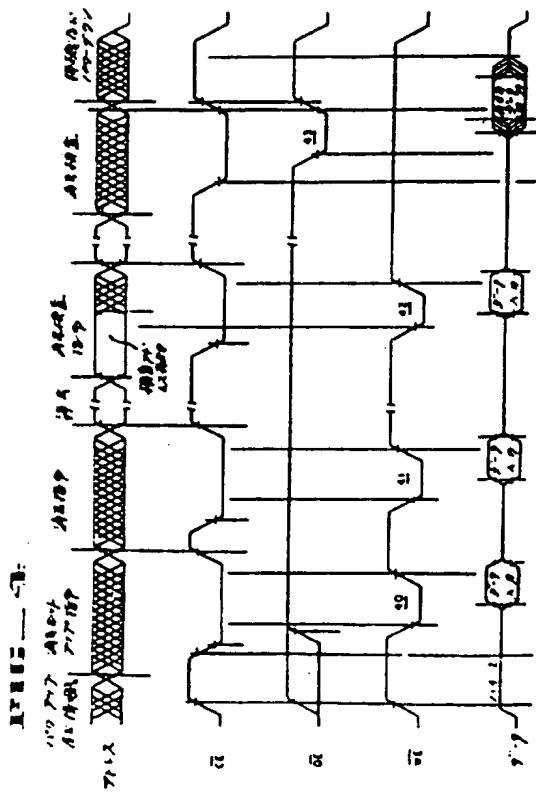
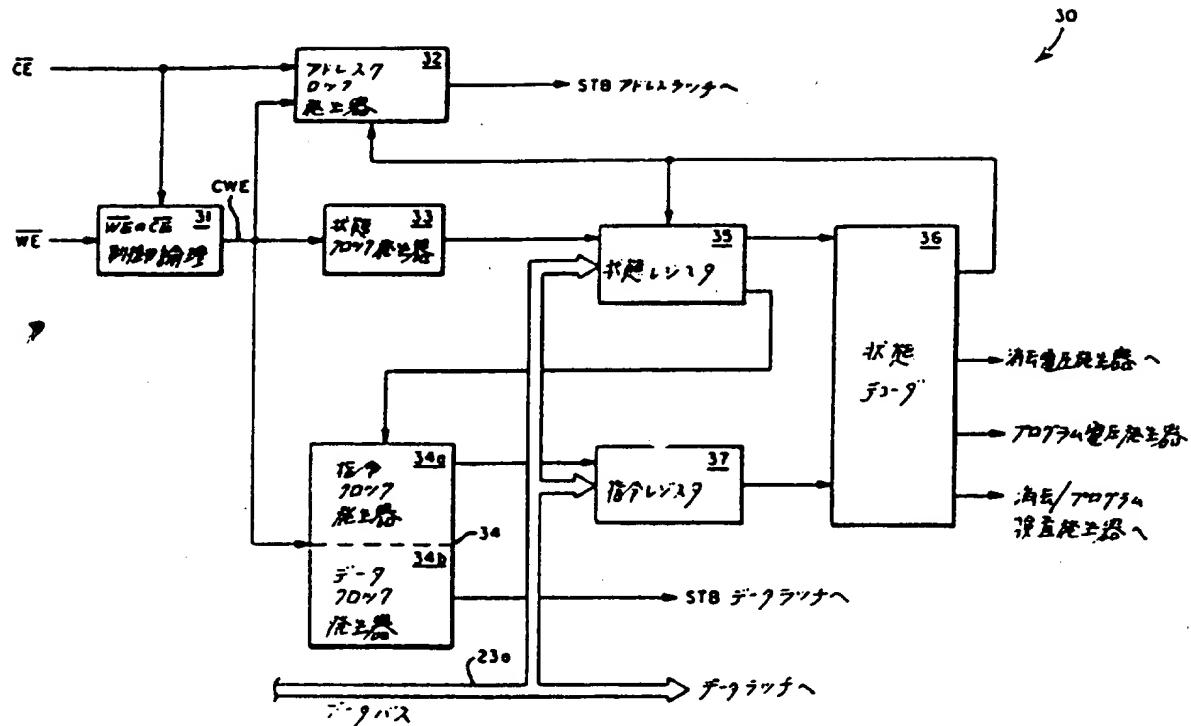
代理人 山川 改樹



FIG_1



FIG_2



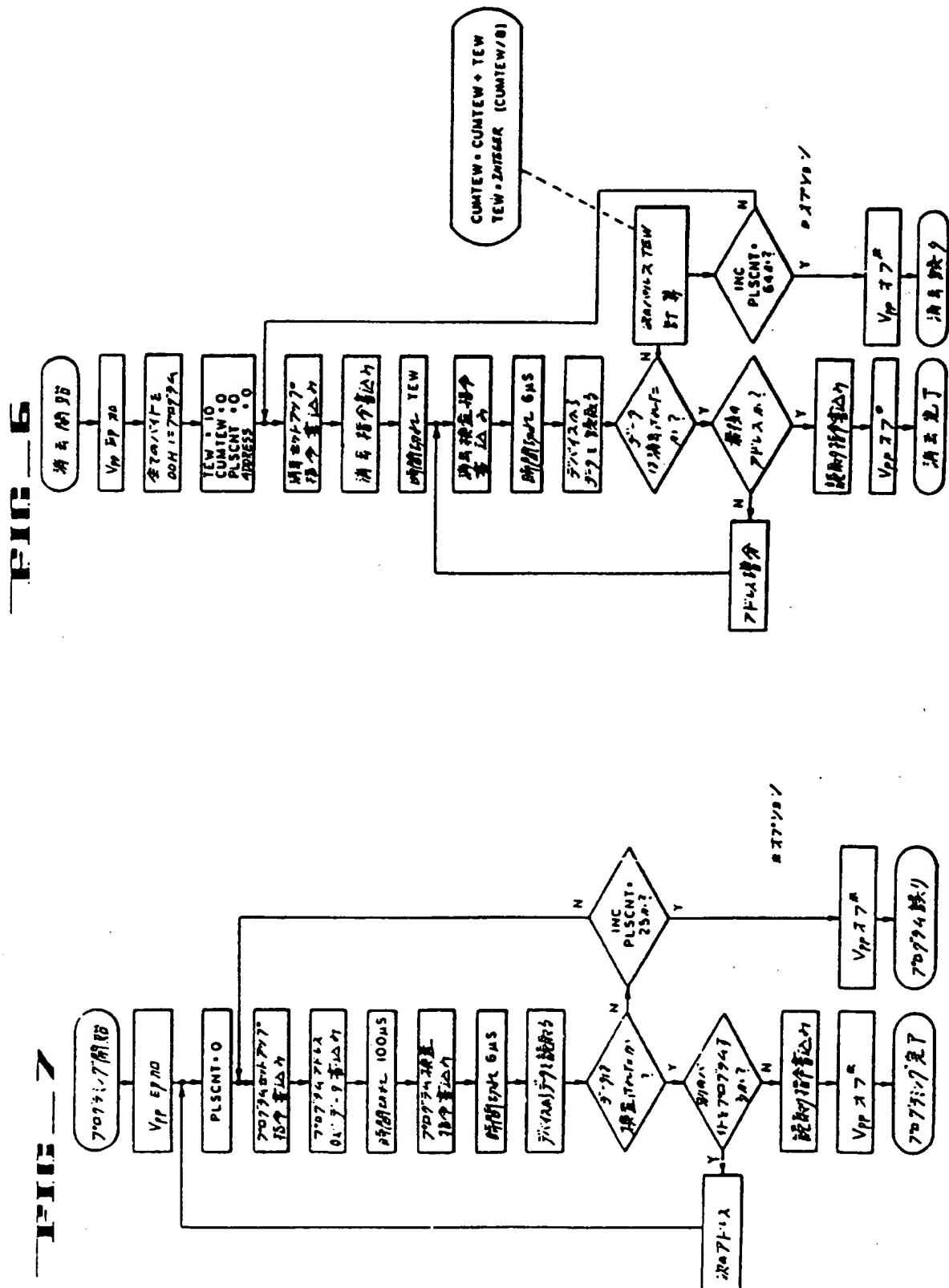
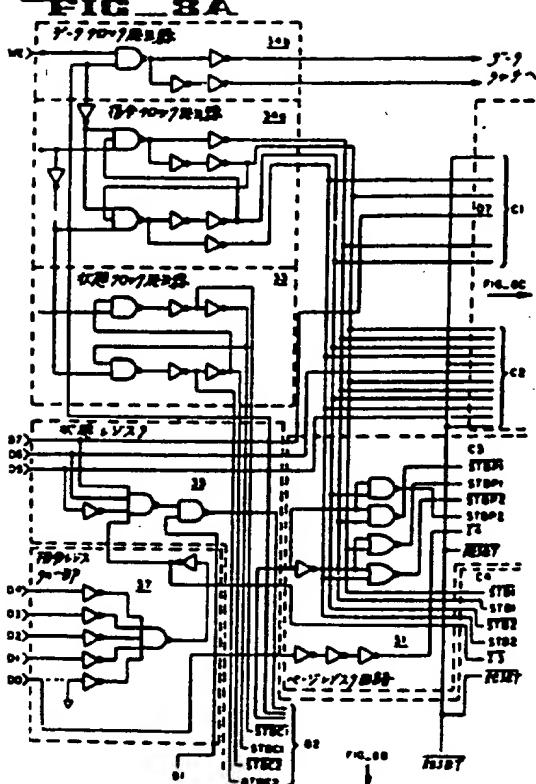
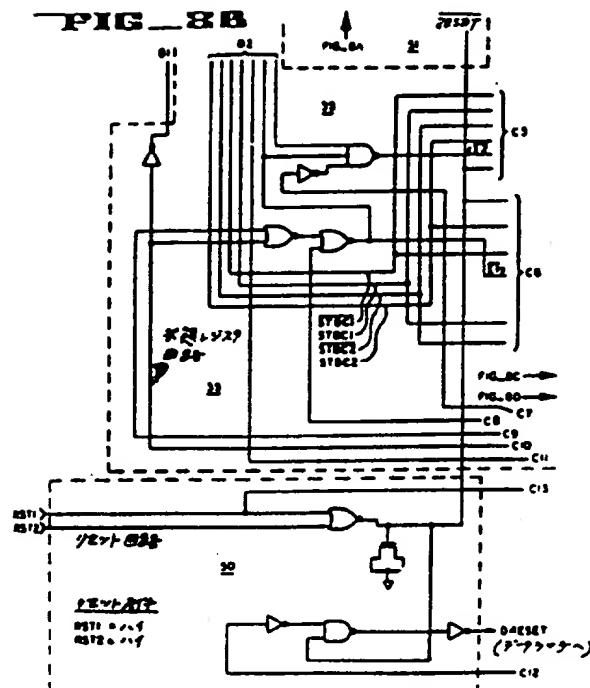


FIG. 8A



PIG_88



-FIG_8C

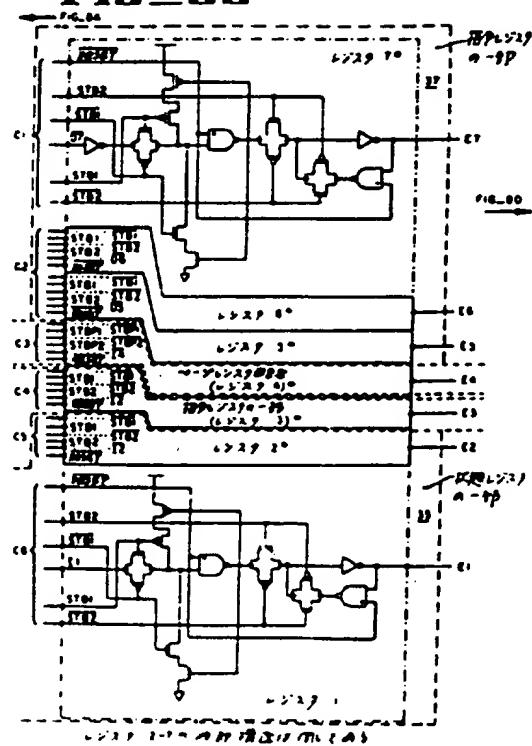


FIG-3D

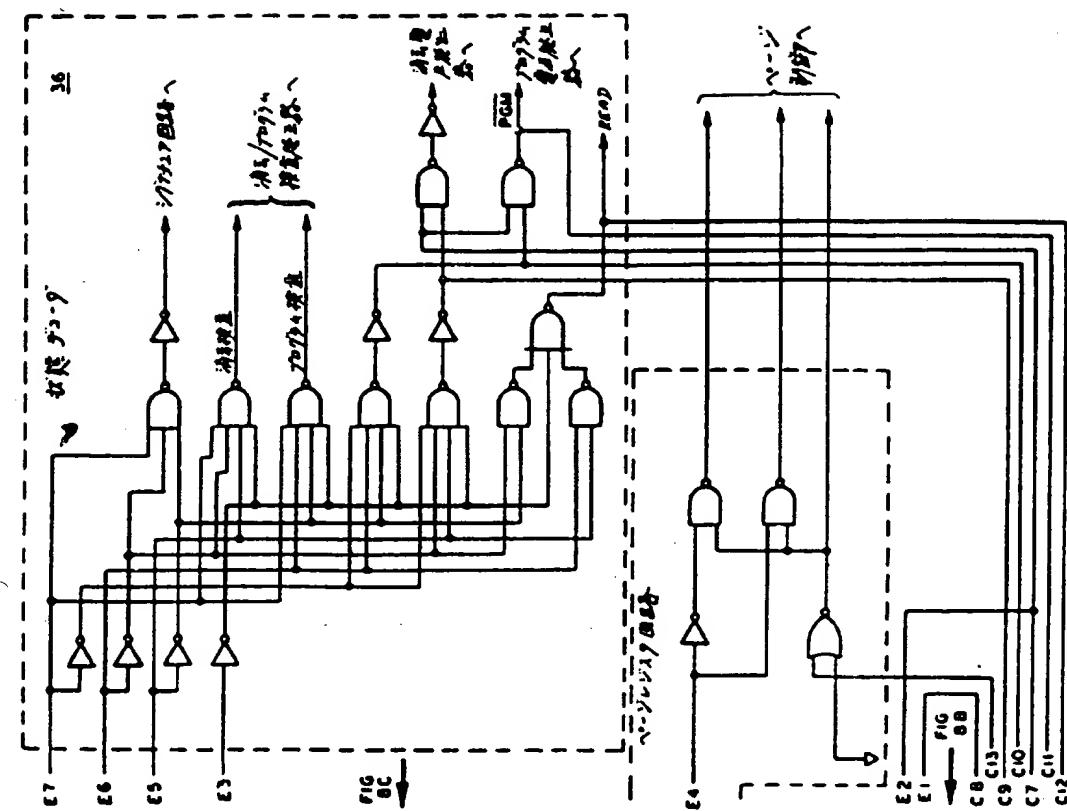
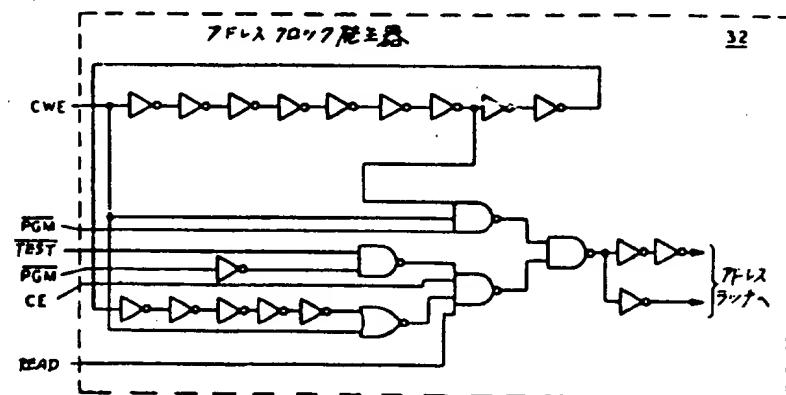


FIG-3E



レジスタ				ビット
RT	RB	RS		ビット
0	0	0		読み出し
0	0	1		書き込み
0	1	0		読み出し
0	1	1		読み出し
1	0	0		リセット/初期化
1	0	1		読み出し
1	1	0		読み出し
1	1	1		読み出し

第1頁の続き

- ②発明者 ジョージ・ヘクストラ アメリカ合衆国 95051 カリフォルニア州・サンタクララ・グラナダ ナンバー 362・3500
- ②発明者 ヴァージル・ナイ尔斯・キネット アメリカ合衆国 95630 カリフォルニア州・エルドラド・ヒルズ・リッジビュー ドライブ・3553
- ②発明者 スティーヴン・ウエルズ アメリカ合衆国 95662 カリフォルニア州・オレンジペール・グリーンバツク レーン・ナンバー 157・9175
- ②発明者 マーク・ウインストン アメリカ合衆国 95630 カリフォルニア州・エルドラド・ヒルズ・フイリップ コート・874

手続補正書(本文)

特許庁長官殿

平成 1年 5月 8日

1. 事件の表示

平成1年特許 第3639号

2. 著者の名称 メモリの消去法、メモリのアロケーション法
およびメモリの消去・プログラミング法

3. 補正をする者

事件との関係 特許出願人

名前(氏名) インテル・コーポレーション

4. 代理人 平成1年5月30日
 東京都千代田区永田町2丁目6番2号
 丸和ビル 8階
 山川国際特許事務所内
 電話 (350) 0961 (代表)
 FAX (351) 5754
 氏名 (6462) 特許士 山川政

5. 補正命令の日付 平成1年5月30日

補正による追加する発明の数

6. 補正の対象

明細書



7. 補正の内容

明細書の内容(内容に変更なし)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.